

V & V 計 画 書

Verification and Validation Plan

(株) 東芝 原子力事業部 殿

注文主 : NRW-FPGA-Based PRM System Qualification Project

試験筐体、および、接続ケーブルの製造

製 番 : 9R06487 JH 2114

Document No.	FPG-VDN-C51-0003	Rev	2
Document Filing No.	RS-5119198		

Project : FPG	
Contract No. : PN-0020614	
<input checked="" type="checkbox"/> For Approval	<input type="checkbox"/> For Information
Action	
A	<input checked="" type="checkbox"/> Approved No Further Action
C	<input type="checkbox"/> Approved with Comment Revised and Resubmit
D	<input type="checkbox"/> Disapproved Revised and Resubmit
I	<input type="checkbox"/> Accepted for Information Only <input type="checkbox"/> Recommendation Included
Monitoring System Engineering Group	
Approved by	Reviewed by
<i>M. Ota</i> Apr. 9, 2007	<i>T. Hayashi</i> Apr. 7, 2007
Approval by buyer does not release seller of his obligation to furnish all goods and services in strict conformance with all of the terms of the Purchase Order.	
TOSHIBA CORPORATION NED	

The use of the information contained in this document by anyone for any purpose other than that for which it is intended is not authorized. In the event the information is used without authorization from TOSHIBA CORPORATION, TOSHIBA CORPORATION makes no representation or warranty and assumes no liability as to the completeness, accuracy, or usefulness of the information contained in this document.

TOSHIBA CORPORATION
NUCLEAR ENERGY SYSTEMS & SERVICES
DIV.

2005年11月

株式会社 東芝

目 次

1. 目的	3
2. 参照図書	3
2.1. 上位図書	3
2.2. 適用基準	3
3. 定義と略語	4
3.1. 定義	4
3.2. 略語	4
4. V&V概要	5
4.1. プロジェクト体制	5
4.2. 工程	5
4.3. ソフトウェア健全性要求水準の枠組み	5
4.4. V&Vチーム	6
4.5. 責任	6
4.6. ツール	6
5. V&Vプロセス	7
5.1. V&V計画書作成	8
5.2. 要求定義フェーズ	8
5.2.1. 図書レビュー(Document Reviews)	8
5.2.2. 要求定義フェーズにおけるRTM活動	8
5.2.3. 要求定義フェーズV&V報告書の発行	9
5.3. 設計フェーズ	10
5.3.1. 図書レビュー	10
5.3.2. FPGA設計フェーズにおけるRTM活動	11
5.3.3. 設計フェーズV&V報告書の発行	11
5.4. 実装フェーズ	12
5.4.1. VHDLソースコードの作成および論理合成とレイアウト検証	12
5.4.2. FPGA試験	12
5.4.3. 図書レビュー	13
5.4.4. 実装フェーズRTM活動	15
5.4.5. ソフトウェアツールの評価	15
5.4.6. 実装フェーズV&V報告書の発行	15
5.5. ユニット/モジュールValidationフェーズ	16
5.5.1. ユニット/モジュールValidation試験	16
5.5.2. 図書レビュー	16
5.5.3. ユニット/モジュールValidationフェーズRTM活動	17
5.5.4. 試験装置用ソフトウェアの評価	17
5.5.5. ユニット/モジュールValidationフェーズV&V報告書の発行	17
5.5.6. ユニット/モジュールV&V最終報告書の発行	18
5.6. FEのV&V	18
5.6.1. 図書のチェック	18
5.6.2. FEライブラリ管理とソフトウェアツール管理のチェック	18
5.7. ハードウェアのV&V	19
5.8. 構成管理	19
6. V&V報告	20
7. V&V管理要求	20
7.1. 問題点報告と改善アクション	20
7.2. タスク繰返しの方針	20
7.3. V&V計画の変更方針	20

7.4. 図書管理手順	2 0
7.5. 関連基準	2 1
8. V & V 図書への要求事項.....	2 1
8.1. 試験関連図書.....	2 1
8.2. メトリック.....	2 1

1. 目的

本検証(Verification)および健全性確認(Validation)計画(以下、V & V計画と呼ぶ)は、Non Re-Writable (NRW) Field Programmable Gate Array (FPGA) Based PRM System Qualification Project(FPGA型出力系モニタシステム認証プロジェクト)のために用意され、[原I設]発行の購入仕様書(PN-0020614)にて指定されるV & V計画要求を満たすことを目的とする。

2. 参照図書

2.1. 上位図書

- (1) [原I設]発行 購入仕様書 “Procurement Specification for Test Specimen Units,
Interconnecting Cables” PN-0020614 Rev.2
- (2) [原I設]発行 要求仕様書 “Equipment Requirement Specification
of FPGA based Units” FPG-RQS-C51-0001 Rev.6
- (3) [原I設]発行 ソフトウェア品質保証計画書
“Software Quality Assurance Plan” FPG-PLN-C51-0002 Rev.2
- (4) [原I設]発行 V & V計画書
“Verification and Validation Plan” FPG-PLN-C51-0006 Rev.3
- (5) [原シブ]発行 品質計画書 “Project Quality Assurance Plan” 5B8H6000 Rev.5
- (6) [原シブ]発行 全体工程表 CZ-05025 Rev.6

2.2. 適用基準

- (1) [原シブ]通達 F P G A製品開発基準 D-68016 Rev.3
- (2) [原シブ]通達 F P G Aデバイス開発基準 D-68017 Rev.2
- (3) [原シブ]通達 F E 開発基準 D-68018 Rev.3
- (4) [原シブ]通達 F P G A構成管理基準 D-68019 Rev.2
- (5) [原シブ]通達 F P G Aシステムソフトウェアツール管理基準 D-68020 Rev.2
- (6) [原シブ]通達 問題点連絡票の運用基準 D-67019 Rev.5
- (7) [原シブ]通達 ソフトウェアメディア登録・変更規程 D-67003 Rev.9
- (8) [原シブ]通達 文書管理基準 D-67023 Rev.4

3. 定義と略語

3.1. 定義

(1) 機能要素(FE: Functional Element):

機能要素 F E は、小規模な論理回路であり、全パターンテストを通じて完全に検証されたものを指す。F E は V H D L で記述されている。NRW-FPGA Based PRM System の V H D L ソースコードは、F E と F E 間の接続のみから構成される。

(2) モジュール (module) :

ユニットを構成する単位。モジュールは決められた機能を持つ。例えば、回路基板、AC-DC コンバータ、コネクタ・アセンブリ等。ユニットの項を参照。

(3) ネットリスト (netlist) :

論理合成ツールによって生成される論理の表現。設計者は F P G A ロジックを V H D L ソースコードの形で記述する。論理合成ツールは、V H D L ソースコードから論理を生成し、ネットリストの形で出力する。配置配線ツールは、ネットリストから F P G A に実装する際の、内部配線の物理的な配置を決定する。この結果は F P G A ヒューズマップと呼ばれる。

(4) ユニット (unit) :

NRW-FPGA Based PRM System は、LPRM ユニット、LPRM/APRM ユニット、FLOW ユニットから構成される。各ユニットはドロウ・タイプのシャーシで、内部にモジュールを格納する。

(5) 健全性確認 (validation) :

目的とする用途への特定要求が満足されていることを、検査と客観的な証拠の提示によって確認すること。

(6) 検証 (verification) :

指定された要求が満足されていることを、検査と客観的な証拠の提示によって確認すること。

3.2. 略語

(1) F P G A : Field Programmable Gate Array. FPGA-Based PRM System use non rewritable FPGA as key components to perform their functions.

(2) P R M : Power Range Monitor. PRM monitors the reactor power in the power range using neutron flux values measured in the reactor core.

(3) R T M : Requirements Traceability Matrix

(4) V H D L : Very High Speed Integrated Circuit Hardware Definition Language.

(5) V & V : Verification and Validation

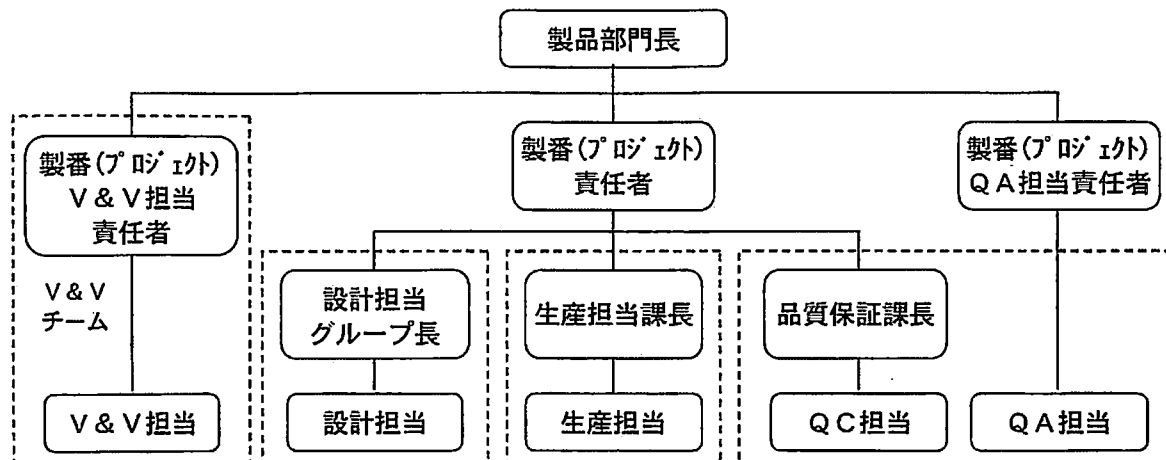
(6) V V P : Verification and Validation Plan

(7) V V R : Verification and Validation Report

4. V & V概要

4.1. プロジェクト体制

本FPGA型出力系モニタシステム認証プロジェクトにおけるプロジェクト体制は、[原シブ]発行の品質計画書(5B8H6000)に基づき、以下に示す体制で実施される。



担当内容	所属部門	担当
製品部門長	[原シブ]	
製品設計担当グループ長	[原シブ] (原シM)	
製品品質保証課長	[原シブ] (原シ品)	
製品生産担当課長	[原シブ] (原シ産)	
製番(プロジェクト)責任者、設計担当責任者 ※1	[原シブ]	
製番(プロジェクト)QA担当責任者 ※2	[原シブ]兼務 [品ブ] (品管)	
製番(プロジェクト)V & V担当責任者、設計図書検証者	[原シブ]	

注) ※1 : 対 [原 | 設] 窓口責任者、※2 : 対 [原品] 窓口責任者

(1) 製品部門長

製品部門長は、品質計画書および本V & V計画書の内容について承認することにより、プロジェクト方針およびV & V方針を決定し、業務の遂行責任を各担当者に委譲する。なお、製品部門長は、各DRステップに参画するか、または報告を受けることにより、プロジェクトの遂行に関与する。

(2) 製番(プロジェクト)V & V担当責任者

製番(プロジェクト)V & V責任者は、製品部門長から任命される。さらに、V & V責任者は、設計担当グループとは独立したV & Vチームを編成し、V & Vチームとともに、本プロジェクトにおけるV & V業務を遂行する。

(3) V & Vチーム・メンバー

V & Vチーム・メンバーは、設計担当グループと独立し、かつ設計担当者と同等以上の技量を持つメンバーで構成される。

4.2. 工程

V & V工程は、[原シブ]発行の全体工程表(CZ-05025)に準拠するものとする。

4.3. ソフトウェア健全性要求水準の枠組み

ソフトウェア健全性要求水準については、[原 | 設]発行 ソフトウェア品質保証計画書(FPG-PLN-C51-0002)に基づき、本FPGA型出力系モニタシステム認証プロジェクトにおけるFPGAロジックは、レベル4 (最上位要求レベル) に位置付ける。

4.4. V & Vチーム

本プロジェクトのV & Vに関する業務を担当するV & Vチームメンバーは、設計チームとは独立し、かつ設計チームの設計者と同等以上の技量を有するものとする。それらのメンバーは、製品部門長によりアサインされ、以下の業務を担当する。

担当内容	所属部門	担当
V & V担当責任者 ・ V & V図書の調査および承認業務 ・ F P G A設計に関わる図書の調査(検証)業務	[原シブ]	
V & V担当主査 ・ V & V図書の調査および承認業務 ・ F P G A設計に関わる図書の調査(検証)業務	[原シブ] (原シM)	
V & V担当主査 ・ V & V図書の作成担当および調査業務	[原シブ] (原シM)	
V & V担当主務 ・ V & V図書の作成担当および調査業務	[原シブ] (原シM)	
V & V担当主務 ・ V & V図書の作成担当および調査業務	[原シブ] (原シM)	
V & V担当 ・ V & V図書の作成担当業務	[原シブ] (原シM)	

ここで、V & V図書とは、本V & V計画書、R T M報告書、各フェーズのV & V報告書(サマリレポート)およびV & V最終報告書を示す。また、設計図書はF P G A設計に関わる図書であり、ハードウェアの設計図書および製造図書は除く。

4.5. 責任

V & Vチームは、以下のV & V活動について責任がある。

- 1) 本V & V計画書の作成
- 2) 設計図書の調査者(reviewer)としての独立レビュー
- 3) R T Mのレビュー (R T Mは(原子力)から受領した概念フェーズR T Mに基づくものとする)
- 4) 各V & Vフェーズの終了時におけるV & V報告書の発行

V & Vチームは、(原子力)のV & Vチームに対して、V & V計画書およびV & V報告書を遅延無く提出するものとする。

4.6. ツール

次のツールを使用する。

- (1) 論理合成ツール(Synplify)
V H D Lソースコードを入力として論理合成を行い、netlist を出力する。副産物として、V H D Lの文法チェックと、合成された論理の適正チェックが行われる。
- (2) Netlist ビューワツール
Netlist ビューワツールは、netlist 上の機能要素間の結合を視認によって検証するために使用される。
- (3) 配置配線ツール(Designer)
配置配線ツールは、ネットリストからF P G Aに実装する際の、内部配線の物理的な配置を決定する。この結果はF P G Aヒューズマップと呼ばれる。配置配線ツールは、ヒューズマップを作成する一方で、シミュレーションに使われる遅延データを生成する。
- (4) V H D Lシミュレータ(PinPort)
V H D Lシミュレータは、V H D Lソースコードをシミュレーションによって動的に確認するために用いられる。シミュレーションには配置配線ツールが出力する遅延データを使用する。
- (5) 実装ツール(Silicon Sculptor)
実装ツールは、F P G Aデバイスへ配置配線データの実装に用いられる。

これらのツールは、[原シブ]通達 D-68020「F P G Aシステムソフトウェアツール管理基準」に基づき、管理されているものとする。また、これらツールとして、新しい試験装置用ソフトの開発もしくは既存ソフトを使用する場合には、構成管理に対する要求を含む[原I設]発行 ソフトウェア品質保証計画書(FPG-PLN-C51-0002)および[原シブ]通達 D-68020に従うものとする。なお、これらのツールを使用した各V & V活動については、以降の各項で記載し、その使用者の技量および訓練については[原シブ]通達 D-68016「F P G A製品開発基準」に従うものとする。

5. V&Vプロセス

V&Vプロセスを、次のフェーズに分けて実施する。

- (1) V&V計画書作成
- (2) 要求定義フェーズ
- (3) 設計フェーズ
- (4) 実装フェーズ
- (5) ユニット／モジュール Validation フェーズ

a,c

図 5-1 V&Vプロセス

5.1. V & V計画書作成

V & Vチームは、(原子力)側の発行するV & V計画書に準拠したV & V計画書(本書)を作成し、(原子力)に提出の上、承認を得る。

5.2. 要求定義フェーズ

要求定義フェーズのV & V活動を実施する。

V & Vインプット:

- (1) [原]設発行 要求仕様書(E R S : Equipment Requirement Specification) (基準図書)
- (2) プロジェクト計画および概念定義フェーズR T M (基準図書)
- (3) ユニット/モジュール設計仕様書(レビュー図書)

V & Vアウトプット:

- (1) 図書レビュー報告
- (2) 要求定義フェーズR T M
- (3) 要求定義フェーズV & V報告書

5.2.1. 図書レビュー(Document Reviews)

V & Vチームにおける調査者(reviewer)は、表5. 2. 1に示す図書の図書レビューを行う。

表5. 2. 1 ユニット/モジュール機器設計仕様書

No.	図書名称	図書番号	備考
1	L P R Mユニット 機器設計仕様書	5G8HA748	HNU100
2	L P R M/A P R Mユニット 機器設計仕様書	5G8HA749	HNU200
3	F L O Wユニット 機器設計仕様書	5G8HA750	HNU300
4	L P R Mモジュール 機器設計仕様書	5G8HA751	HNS011
5	A P R Mモジュール 機器設計仕様書	5G8HA752	HNS020
6	S Q R O O Tモジュール 機器設計仕様書	5G8HA753	HNS030
7	F L O Wモジュール 機器設計仕様書	5G8HA754	HNS040
8	S T A T U Sモジュール 機器設計仕様書	5G8HA755	HNS091/HNS093
9	B L A N Kモジュール 機器設計仕様書	5G8HA756	HNS490
10	L V P Sモジュール 機器設計仕様書	5G8HA757	HNS500
11	A Oモジュール 機器設計仕様書	5G8HA758	HNS511-HNS514
12	D I Oモジュール 機器設計仕様書	5G8HA759	HNS520
13	T R Nモジュール 機器設計仕様書	5G8HA760	HNS530
14	R C Vモジュール 機器設計仕様書	5G8HA761	HNS540

ユニット/モジュール設計仕様書に含まれるソフトウェア要求仕様を、完全性、正確性、一貫性および精密性の観点からレビューする。要求に曖昧な点が無く、テスト可能あるいは観察可能であり、かつまた要求が受入れ可能な値あるいは値の範囲を含んでいるかどうかについてもレビューの観点とする。機能要求、インターフェース要求、および機能の割り当てについてもレビューするものとする。

さらに調査者は、レビュー結果を[原シブ]通達 D-68016「F P G A製品開発基準」に基づき、図書化するものとする。

5.2.2. 要求定義フェーズにおけるR T M活動

(1) 要求定義フェーズR T Mの作成

設計者は、要求定義フェーズR T Mを作成する。要求定義フェーズR T Mは、概念定義フェーズR T Mに記載された要求をユニット/モジュール設計仕様書に記載された要求仕様項目に対してトレースするものである。

V & Vチームは、要求定義フェーズR T Mのレビューを行い、以下を検証する。

- 1) 概念定義フェーズからの基盤となる要求が、すなわちE R Sに記載された要求が、ユニット/モジュール設計仕様書に記載された機能要求に対応すること。
- 2) ユニット・モジュール設計仕様書に記載された全ての要求は、概念定義フェーズからの

要求によってカバーされ、ユニット・モジュール設計仕様書で作成された新たな要求はないこと。

本RTMレビューの結果は、V&Vチームによって図書化される。

レビューの結果において、未確定項目(open items)および不適合(nonconformance)が発見された場合には、V&Vチームは設計チームに対して、異常レポートを発行し、改善処置を要求する。

さらに、V&Vチームは、発見された未確定項目および不適合を(原子力)の指定した方法に従って、(原子力)に報告するものとする。

(2) 要求定義フェーズRTM報告書の編集

要求定義フェーズのRTM報告書を編集する。RTM報告書は、作成したRTMに加え、各要求がユニット/モジュール設計仕様書に反映されていること、および未確定項目とその解決策を含んでいる。

5.2.3. 要求定義フェーズV&V報告書の発行

V&Vチームは、以下を含む要求定義フェーズV&V報告書を発行する。

1) 図書レビューのコピーまたは参照

図書レビューへの参照とは、レビューした図書名、図書番号、調査(レビュー)者名、作成日、調査日、承認日の表をもって示す。

2) 要求定義フェーズRTMに対する参照

要求定義フェーズRTMに対する参照とは、要求定義フェーズRTMの図書番号、作成日、調査日、承認日を記すことでもって示す。

3) V&V活動において、プロジェクトを進める上で生じるリスクの軽減に寄与すると考えられる発見事項、推奨事項、提案事項

発行されたV&V報告書は、(原子力)V&Vチームに送付する。

5.3. 設計フェーズ

設計フェーズにおいて、FPGA設計仕様書が各FPGA別に作成される。FPGAは、それぞれ互いに独立であるため、設計フェーズおよび実装フェーズのほとんどの活動は個別に実行することが可能である。FPGAの論理設計は、FEを使用し、これらのFEを接続することによって実施される。従って、使用されるFEは、[原シブ] 通達 D-68018「FE開発基準」に定義されたライフサイクル活動を通じて、ライブラリに登録されているFEに限るものとする。

V&Vインプット:

- (1) ユニット/モジュール設計仕様書 (基準図書)
- (2) 要求定義フェーズRTM (基準図書)
- (3) FPGA設計仕様書 (レビュー図書)

V&Vアウトプット:

- (1) 図書レビュー報告
- (2) 設計フェーズRTM
- (3) 設計フェーズV&V報告書

5.3.1. 図書レビュー

調査者は、以下の図書レビューを行う。

No.	図書名称	図書番号	備考
1		5G8HA763	TRN Module
2		5G8HA764	TRN Module
3		5G8HA765	TRN Module
4		5G8HA766	RCV Module
5		5G8HA767	RCV Module
6		5G8HA768	STATUS Module
7		5G8HA769	APRM-Module
8		5G8HA770	APRM Module
9		5G8HA771	APRM Module
10		5G8HA772	APRM Module
11		5G8HA773	APRM Module
12		5G8HA774	APRM Module
13		5G8HA775	APRM Module
14		5G8HA776	APRM Module
15		5G8HA777	APRM Module
16		5G8HA778	APRM Module
17		5G8HA779	APRM Module
18		5G8HA780	LPRM Module
19		5G8HA781	LPRM Module
20		5G8HA782	LPRM Module
21		5G8HA783	LPRM Module
22		5G8HA784	FLOW Module
23		5G8HA785	FLOW Module
24		5G8HA786	FLOW Module
25		5G8HA787	FLOW Module
26		5G8HA788	SQ-ROOT Module
27		5G8HA789	SQ-ROOT Module
28		5G8HA790	SQ-ROOT Module
29		5G8HA791	SQ-ROOT Module
30		5G8HA792	SQ-ROOT Module

FPGA設計仕様書に含まれるソフトウェア設計仕様を、完全性、正確性、一貫性、および精密性の観点からレビューする。また、FPGA設計は、[原シブ]通達 D-68017「FPGAデバイス開発基準」Appendix Aに記載された設計ルールに従っているものとする。レビューに関する特別の注意事項は、FPGAのロジックが既に試験済みのFEを使用して構成されなければならないこと、およびFEとのインターフェースがFE仕様書の記載と整合していることである。

また、図書レビューには、使用するFEの図書が検証済みであることを確認することも含むものとする。

さらに、調査者は、レビュー結果を[原シブ]通達 D-68016「FPGA製品開発基準」に基づき、図書化するものとする。

5.3.2. FPGA設計フェーズにおけるRTM活動

(1) FPGA設計フェーズRTMの作成

設計者は、FPGA設計仕様書に記載された設計仕様を要求定義フェーズのRTMに対してトレースするため、設計フェーズRTMの作成を行う。

V&Vチームは、設計チームの作成したRTMのレビューを行い、以下を検証する。

- 1) 要求定義フェーズからの基盤となる要求が、各FPGA設計仕様書にトレースされていること。すなわち、各FPGA設計仕様書に記載されたFPGA仕様は、モジュール設計仕様書に記載された機能およびインターフェース要求を反映していること。さらに、要求定義フェーズからのソフトウェア健全性要求水準(SIL)の要求がFPGA設計仕様書に反映されていること。

- 2) FPGA設計仕様書から要求定義フェーズに向かって、要求がトレースできること。

本RTMレビューの結果は、V&Vチームによって図書化される。

レビューの結果において、未確定項目(open items)および不適合(nonconformance)が発見された場合には、V&Vチームは設計チームに対して、異常レポートを発行し、改善処置を要求する。

さらに、V&Vチームは、発見された未確定項目および不適合を(原子力)の指定した方法に従って、(原子力)に報告するものとする。

(2) FPGA設計フェーズRTM報告書の編集

FPGA設計フェーズのRTM報告書を編集する。RTM報告書はRTMを含み、FPGA設計仕様書で各要求がどのように反映されたかを記載する。

5.3.3. 設計フェーズV&V報告書の発行

V&Vチームは、以下を含む設計フェーズV&V報告書を発行する。

- 1) 図書レビューのコピーまたは参照

図書レビューへの参照とは、レビューした図書名、図書番号、調査(レビュー)者名、作成日、調査日、承認日の表をもって示す。

- 2) 設計フェーズRTMへの参照

設計フェーズRTMに対する参照とは、設計フェーズRTMの図書番号、作成日、調査日、承認日を記すことでもって示す。

- 3) FE図書、FEライブラリ管理およびソフトウェアツール管理の結果についての参照

5. 6項に記すFEの図書レビュー結果、ライブラリ管理およびソフトウェアツール管理の結果をもって示す。

- 4) V&V活動において、プロジェクトを進める上で生じるリスクの軽減に寄与すると考えられる発見事項、推奨事項、提案事項

発行されたV&V報告書は、(原子力)V&Vチームに送付する。

5.4. 実装フェーズ

実装フェーズにおける開発活動は、次のステップで行われる。

ステップ（１）：VHDLソースコードの作成

ステップ（２）：FPGAの実装

ステップ（３）：FPGAの試験

ステップ（１）では、ソフトウェア設計図書（FPGA設計仕様書）からの機能要求を実装するため、[原シブ]通達 D-68017「FPGAデバイス開発基準」に従い、VHDLソースコードを作成する。ソースコードのコーディングには、検証済みのFEが使用される。

ステップ（２）では、VHDLソースコードが論理合成ツール（Synplify）によって論理合成される。論理合成されたソースコードは、配置配線ツール（Designer）を使用してフューズマップに変換し、焼付けツール（Silicon Sculptor）を使用してフューズマップをFPGAに実装する。ステップ（３）で使用するテストベクタおよびFPGA試験仕様書（FPGA test procedure）は、[原シブ]通達 D-68017「FPGAデバイス開発基準」に従って、このステップで用意するものとする。

ステップ（３）では、VHDLシミュレータ（ModelSim）およびFPGA試験装置（PinPort）を使用して、上記フューズマップを実装したFPGAを試験する。ModelSim ツールは試験に先立って用意されたテストベクタに基づいてFPGAへの入力を生成する。

V&Vインプット：

- （１）FPGA設計仕様書（基準図書）
- （２）設計フェーズRTM（基準図書）
- （３）FPGA試験仕様書（レビュー図書）
- （４）FPGA試験成績書（レビュー図書）
- （５）ユニット／モジュール試験仕様書（レビュー図書）

V&Vアウトプット：

- （１）図書レビュー報告
- （２）実装フェーズRTM
- （３）実装フェーズV&V報告書

5.4.1. VHDLソースコードの作成および論理合成とレイアウト検証

VHDLソースコードは、[原シブ]通達 D-68017「FPGAデバイス開発基準」の設計ルールに従って作成され、そのロジックはFEから構成されている。

作成されたVHDLソースコードは、論理合成ツール（Synplify）を使ってNetlistに変換され、EDIFファイルとして保存される。このNetlistは、Netlistビューワを使用し、ロジック図として表示することができる。設計者は、VHDLソースコードとロジック図を比較し、正しく変換されていることを確認する。比較においては、ブロック間の接続とFEのインタフェースをチェックする。なお、FEはロジック図では基本となる論理ブロックとして現れる。

V&Vチームは以下の検証を行う。

- １）論理合成ツール（Synplify）および配置配線ツール（Designer）の出力したメッセージファイルをチェックし、論理合成とレイアウトが正常に行われたことをツールへのオプション設定とウォーニング・メッセージにより確認するものとする。
- ２）ロジック図とVHDLファイルの比較結果をレビューする。

使用した方法を明記し、１）および２）の検証結果を図書化する。

5.4.2. FPGA試験

FPGA試験は、[原シブ]通達 D-68016「FPGA製品開発基準」に従って実施する。FPGA試験仕様書は、FPGA製品の設計に携わった者とは別に選任されるFPGA試験仕様書作成者によって準備される。FPGA試験仕様書には以下の内容を含むものとする。

- １）試験する項目
- ２）試験項目毎の合否判定基準
- ３）試験セットアップ

4) 試験環境

FPGA試験は、作動するFE間の接続を100%ON/OFF(トグル)させるものとする。トグル試験のカバレッジが100%に達しているかはModelSimツールを使って測定する。なお、接続部分が動作するかどうか、すなわち、接地あるいは電源ラインに接続されていないかどうかは設計者が判断する。

試験対象のFPGA設計者とは別に選定されたFPGA試験員は、上記FPGA試験仕様書に従い、試験を実施する。試験員は、FPGA毎に試験成績書を用意する。さらに、[原シブ]通達D-67019「問題点連絡票の運用基準」に準拠し、問題点連絡票を用意する。これは試験で発見された欠陥、製品および構成の不適合、試験仕様書自体のエラーの図書化に用いる。問題点連絡票は、設計図書、論理の修正、あるいは必要に応じた試験仕様の変更、変更前の図書、ソースコードおよびプロダクトの更新と、必要に応じたレビューによって解決される。これらの変更から要求される再試験の仕様もまた図書化し、再試験を実施し、問題点連絡票を解決済とする。

5.4.3. 図書レビュー

調査者は、以下の図書レビューを行う。

(1) FPGA試験仕様書

調査者は、下の各FPGA試験仕様書をレビューする。

No.	図書名称	図書番号	備考
1		8T8H3379	TRN Module
2		8T8H3380	TRN Module
3		8T8H3381	TRN Module
4		8T8H3382	RCV Module
5		8T8H3383	RCV Module
6		8T8H3384	STATUS Module
7		8T8H3385	APRM Module
8		8T8H3386	APRM Module
9		8T8H3387	APRM Module
10		8T8H3388	APRM Module
11		8T8H3389	APRM Module
12		8T8H3390	APRM Module
13		8T8H3391	APRM Module
14		8T8H3392	APRM Module
15		8T8H3393	APRM Module
16		8T8H3394	APRM Module
17		8T8H3395	APRM Module
18		8T8H3396	LPRM Module
19		8T8H3397	LPRM Module
20		8T8H3398	LPRM Module
21		8T8H3399	LPRM Module
22		8T8H3400	FLOW Module
23		8T8H3401	FLOW Module
24		8T8H3402	FLOW Module
25		8T8H3403	FLOW Module
26		8T8H3404	SQ-ROOT Module
27		8T8H3405	SQ-ROOT Module
28		8T8H3406	SQ-ROOT Module
29		8T8H3407	SQ-ROOT Module
30		8T8H3408	SQ-ROOT Module

レビューは、完全性（全ての要求を満たす試験項目が用意されているか）、正確性（試験の方法、合否判定基準は正しいか）、一貫性（試験に矛盾は無い）、および精密性（目的とする試験に対し、十分な精度が得られるか）の観点から行う。

さらに、調査者は、レビュー結果を[原シブ]通達 D-68016「FPGA製品開発基準」に基づき、図書化するものとする。

(2) F P G A試験成績書

調査者は、各 F P G A試験成績書をレビューする。

No.	図書名称	^{a,c} 図書番号	備考
1		9H8H0280	TRN Module
2		9H8H0281	TRN Module
3		9H8H0282	TRN Module
4		9H8H0283	RCV Module
5		9H8H0284	RCV Module
6		9H8H0285	STATUS Module
7		9H8H0286	APRM Module
8		9H8H0287	APRM Module
9		9H8H0288	APRM Module
10		9H8H0289	APRM Module
11		9H8H0290	APRM Module
12		9H8H0291	APRM Module
13		9H8H0292	APRM Module
14		9H8H0293	APRM Module
15		9H8H0294	APRM Module
16		9H8H0295	APRM Module
17		9H8H0296	APRM Module
18		9H8H0297	LPRM Module
19		9H8H0298	LPRM Module
20		9H8H0299	LPRM Module
21		9H8H0300	LPRM Module
22		9H8H0301	FLOW Module
23		9H8H0302	FLOW Module
24		9H8H0303	FLOW Module
25		9H8H0304	FLOW Module
26		9H8H0305	SQ-ROOT Module
27		9H8H0306	SQ-ROOT Module
28		9H8H0307	SQ-ROOT Module
29		9H8H0308	SQ-ROOT Module
30		9H8H0309	SQ-ROOT Module

レビューは、以下を検証する。

- 1) 試験仕様書に記載された試験方法に基づいて、試験が行われたこと。
- 2) 試験仕様書に記載された試験項目が漏れなく実施されたこと。
- 3) 試験仕様書に記載された判定条件に従って、試験結果の合否判定が行われていたこと。
- 4) 試験中に発見された製品の不適合を含めた問題点連絡票を確認すること。
- 5) 試験結果が受け入れ可能であること。

(3) F P G Aのソフトウェアベースライン

F P G A試験が終了した後、ソフトウェアベースラインが確立される。この時F P G Aロジックに関連した電子ファイルが保管されるが、保管の際には、F P G Aの機能、変更、改訂番号を識別するF P G A管理シートをそれぞれのF P G Aロジック毎に設計者が作成する。V & Vチー

ムは、FPGA管理シートをチェックし、[原シブ]通達 D-68019「FPGA構成管理基準」に要求された項目がベースラインとして確立されたことを確認する。

5.4.4. 実装フェーズRTM活動

(1) 実装フェーズRTMの作成

設計者は、FPGA試験仕様書を先行するステップのRTMに対してトレースするため、実装フェーズRTMの作成を行う。

V&Vチームは、設計チームの作成したRTMのレビューを行い、以下を検証する。

- 1) 基盤となる要求が、FPGAにトレースされること。すなわち、設計フェーズにおける全ての要求がFPGA試験項目に反映されていること。
- 2) FPGA試験仕様書から設計フェーズに、要求がトレースできること。

(2) FPGA実装フェーズRTMの編集

実装フェーズのRTM報告書はRTMを含み、各要求のFPGA試験仕様書の中での反映、未確定項目、および不適合を記載する。

5.4.5. ソフトウェアツールの評価

V&Vチームは、設計チームの設計作業に使用するソフトウェアツールが、[原シブ]通達 D-68019「FPGA構成管理基準」に従って管理されていることを確認する。

5.4.6. 実装フェーズV&V報告書の発行

V&Vチームは、以下を含む実装フェーズV&V報告書を発行する。

- 1) ソースコードレビューのコピーまたは参照
ソースコードレビューへの参照とは、レビューした図書名、図書番号、調査(レビュー)者名、作成日、調査日、承認日の表をもって示す。
- 2) 図書レビューのコピーまたは参照
図書レビューへの参照とは、レビューした図書名、図書番号、調査(レビュー)者名、作成日、調査日、承認日の表をもって示す。FPGA試験成績書のレビューにおいて確認した問題点連絡票もV&V記録とし、本V&V報告書に含めることとする。
- 3) ソフトウェアツールのメッセージチェック結果のコピーまたは参照
ソフトウェアツールのメッセージチェック結果に対する参照とは、ソフトウェアツールのメッセージチェック結果の図書番号、作成日、調査日、承認日を記すことでもって示す。
- 4) ロジック・ブロック図のチェック結果のコピーあるいは参照
ロジック・ブロック図のチェック結果に対する参照とは、ロジック・ブロック図のチェック結果の図書番号、作成日、調査日、承認日を記すことでもって示す。
- 5) 実装フェーズRTMに対する参照
実装フェーズRTMに対する参照とは、実装フェーズRTMの図書番号、作成日、調査日、承認日を記すことでもって示す。
- 6) V&V活動において、プロジェクトを進める上で生じるリスクの軽減に寄与すると考えられる発見事項、推奨事項、提案事項

発行されたV&V報告書は、(原子力)V&Vチームに送付する。

5.5. ユニット／モジュール Validation フェーズ

ユニット／モジュール Validation フェーズにおける V & V 活動を以下に記す。

V & V インプット:

- (1) 要求定義フェーズ R T M (基準図書)
- (2) モジュール Validation 試験仕様書 (レビュー図書)
- (3) ユニット Validation 試験仕様書 (レビュー図書)
- (4) ユニット／モジュール User Documentation (レビュー図書)

V & V アウトプット:

- (1) 図書レビュー報告
- (2) ユニット／モジュール Validation フェーズ R T M
- (3) ユニット／モジュール Validation フェーズ V & V 報告書

5.5.1. ユニット／モジュール Validation 試験

設計者とは別に選定されたユニット／モジュール試験仕様書作成者が、ユニット／モジュール試験仕様書を作成する。これらの仕様書には、ユニット設計仕様、モジュールからユニットへの統合、および試験基準が含まれる。さらに、ユニット試験仕様書には以下の内容が含まれる。

- 1) 試験する項目 (応答時間試験・精度試験・パラメータ試験・レンジ外試験)
- 2) 試験項目毎の可否判定基準
- 3) 試験セットアップ
- 4) 試験環境

試験員は、設計チームとは別に選定され、上記ユニット／モジュール試験仕様書に従い、試験を実施する。また試験員は、ユニット／モジュール毎に試験成績書を用意する。

5.5.2. 図書レビュー

(1) ユニット／モジュール試験仕様書

調査者は、ユニット／モジュール試験仕様書作成者が作成した各ユニット／モジュール試験仕様書をレビューする。

No.	図書名称	図書番号	備考
1	L P R Mユニット 試験仕様書	5T8H6724	HNU100
2	L P R M / A P R Mユニット 試験仕様書	5T8H6725	HNU200
3	F L O Wユニット 試験仕様書	5T8H6726	HNU300
4	L P R Mモジュール 試験仕様書	5T8H6727	HNS011
5	A P R Mモジュール 試験仕様書	5T8H6728	HNS020
6	S Q R O O Tモジュール 試験仕様書	5T8H6729	HNS030
7	F L O Wモジュール 試験仕様書	5T8H6730	HNS040
8	S T A T U Sモジュール 試験仕様書	5T8H6731	HNS091/093
9	B L A N Kモジュール 試験仕様書	5T8H6732	HNS490
10	L V P Sモジュール 試験仕様書	5T8H6733	HNS500
11	A Oモジュール 試験仕様書	5T8H6734	HNS511/512/513/514
12	D I Oモジュール 試験仕様書	5T8H6735	HNS520
13	T R Nモジュール 試験仕様書	5T8H6736	HNS530
14	R C Vモジュール 試験仕様書	5T8H6737	HNS540

レビューは、完全性 (全ての要求を満たす試験項目が用意されているか)、正確性 (試験の方法、可否判定基準は正しいか)、一貫性 (試験に矛盾は無い)、および精密性 (目的とする試験に対し、十分な精度が得られるか) の観点からレビューする。

さらに、調査者は、レビュー結果を [原シブ] 通達 D-68016 「F P G A 製品開発基準」に基づき、図書化するものとする。

(2) ユニット／モジュール User Documentation

ユニット／モジュール User Documentation は、エンドユーザーにも提出される図書である表 5.2.1 に示す各ユニット／モジュール機器設計仕様書によって対応するものとし、図書レビュー時に調査者のレビューを実施する。

5.5.3. ユニット／モジュール Validation フェーズ R T M 活動

(1) ユニット／モジュール Validation フェーズ R T M の準備

設計者は、ユニット／モジュール設計仕様書に対してユニット／モジュール試験仕様書をトレースする R T M 活動を行う。

V & V チームは、設計チームの作成した R T M のレビューを行い、以下を検証する。

- 1) 基盤となる要求が、ユニット／モジュール試験仕様書にトレースされること。すなわち、ユニット／モジュール設計仕様書の要求が、ユニット／モジュール試験仕様書に反映していること。
- 2) ユニット／モジュール試験仕様書からユニット／モジュール設計仕様書に、要求がトレースできること。

ユニット／モジュール Validation フェーズ R T M 活動は、要求定義フェーズ R T M からの要求をトレースするとともに、この R T M 活動によって発見された未確認項目を報告することである。

設計チームは、これらの未確認項目を解決し、ユニット／モジュール Validation 試験が完了する前にすべてクローズさせる必要がある。

(2) ユニット／モジュール Validation フェーズ R T M の編集

V & V チームは、各要求事項がユニット／モジュール試験仕様書に反映されていること、および未確定項目がすべて解決していることを Validation フェーズの R T M 報告書に記載する。

5.5.4. 試験装置用ソフトウェアの評価

V & V チームは、ユニット／モジュール Validation 試験に使用する試験装置のソフトウェアが、[原シプ] 通達 D-67003「ソフトウェアメディア登録・変更規程」に従って管理されていることを確認する。

5.5.5. ユニット／モジュール Validation フェーズ V & V 報告書の発行

V & V チームは、以下を含むユニット／モジュール Validation フェーズ V & V 報告書を発行する。

- 1) 図書レビューのコピーまたは参照
図書レビューへの参照とは、レビューした図書名、図書番号、調査(レビュー)者名、作成日、調査日、承認日の表をもって示す。F P G A 試験成績書のレビューにおいて確認した問題点連絡票も V & V 記録とし、本 V & V 報告書に含めることとする。
- 2) ユニット／モジュール Validation フェーズ R T M に対する参照
ユニット／モジュール Validation フェーズ R T M に対する参照とは、ユニット／モジュール Validation フェーズ R T M の図書番号、作成日、調査日、承認日を記すことでもって示す。
- 3) V & V 活動において、プロジェクトを進める上で生じるリスクの軽減に寄与すると考えられる発見事項、推奨事項、提案事項

発行された V & V 報告書は、(原子力) V & V チームに送付する。

5.5.6. ユニット／モジュールV&V最終報告書の発行

さらにV&Vチームは、ユニット／モジュール試験完了後、V&V最終報告書を発行する。報告書は以下を含んでいる。

- (1) V&V活動がどのように完了したかの詳細
- (2) ソフトウェアのライフサイクル要求およびシステム要求がどのように実現されているかの詳細
- (3) 要求定義フェーズからユニット／モジュール Validation フェーズまでに発行されたV&V報告書のコピーと参照
- (4) ユニット／モジュールのハードウェア設計の独立したレビューを実施した結果と参照
V&Vチームは、ハードウェア設計図書についても独立した調査が実施されていることを確認し、その結果を本V&V報告書に含めるものとする。
- (5) 試験員の構成を含むユニット／モジュール Validation 試験成績を確認した結果
ユニット／モジュール試験成績について以下の確認を行った結果を記載する。
 - 1) 試験仕様書に記載された試験方法に基づいて、試験が行なわれたこと。
 - 2) 試験仕様書に記載された試験項目が漏れなく実施されたこと。
 - 3) 試験仕様書に記載された判定条件に従って、試験結果の合否判定が行われていたこと。
 - 4) 試験中に発見された製品の不適合を含めた問題点連絡票を確認すること。
(確認した問題点連絡票もV&V記録とし、本V&V報告書に含めるものとする。)
 - 5) 試験結果が受け入れ可能であること。

5.6. FEのV&V

PRMシステムのFPGAに使用されるFEに対しては、[原シブ]通達 D-68018「FE開発基準」に基づき、V&V活動を実施している。

本プロジェクトにおけるV&V活動では、以下を実施するものとする。

5.6.1. 図書のチェック

V&Vチームは、[原シブ]通達 D-68018「FE開発基準」がFEライブラリに適用されていることを保証する次の図書をチェックする。

- ・ FE 要求仕様書
- ・ FE 仕様書
- ・ FE 仕様書－FE 要求仕様書間のRTM
- ・ FE 試験仕様書
- ・ FE 試験仕様書－FE 要求仕様書間のRTM
- ・ FE 試験成績書

チェックに際して、V&Vチームは、全パターンテストがすべて実施されていることを確認する。チェックの結果は、設計フェーズのV&V報告書に含まれ、図書化されるものとする。

5.6.2. FEライブラリ管理とソフトウェアツール管理のチェック

V&Vチームは、次の管理活動が実施されていることをチェックする。

- ・ [原シブ]通達 D-68019「FPGA構成管理基準」に従うFEライブラリ管理
- ・ [原シブ]通達 D-68020「FPGAシステムソフトウェアツール管理基準」に従うソフトウェアツール管理

チェックの結果は、設計フェーズのV&V報告書に含まれ、図書化されるものとする。

5.7. ハードウェアのV&V

V&Vチームは、[原シブ]通達 D-68016「FPGA製品開発基準」に従い、ユニット／モジュールのハードウェア設計の独立したレビューを実施する。そのレビュー結果は、設計フェーズV&V報告書の一部として記載され、報告されるものとする。

5.8. 構成管理

本プロジェクトにおけるMCL (Master Configuration List)は、[原シブ]通達 D-68019「FPGA構成管理基準」に従い、[原I設]発行のMCL (FPG-CFM-C51-0001)を基に作成される。V&Vチームは、V&V活動を通して、このMCLに対するV&V活動を実施する。すなわち、各フェーズ（プロジェクト計画、要求定義、設計、実装、検証）の最終段階でその時点での構成アイテムの最新の状況が、MCLに反映、改訂されていることを確認する。なお、この確認結果は、V&Vチームが各フェーズで作成するV&V報告書の一部として記載され、報告されるものとする。

6. V & V 報告

発行する V & V 報告書は以下の内容を含んでいる。

- ・問題点連絡票
問題点連絡票は、[原シブ] 通達 D-67019「問題点連絡票の運用基準」に従い、FPGA およびユニット/モジュール Validation 試験期間中に、試験で発見された欠陥、製品および構成の不適合、試験仕様書自体のエラーの図書化に用いる。
- ・不適合報告書
不適合報告書は、すでに V & V 報告書が発行された図書、装置もしくは動作に問題が発生した場合に発行される。
- ・RTM 報告書
RTM 報告書は、現状フェーズのドキュメントに対して、先行するフェーズの要求事項をトレースしたものを作成する。
- ・各フェーズの V & V 報告書
V & V 報告書は、各 V & V フェーズの終わりに作成される。その報告書は、図書レビューの結果と、問題点連絡票、不適合報告書および RTM 報告書のコピーと参照図書を含んでいる。

7. V & V 管理要求

7.1. 問題点報告と改善アクション

本プロジェクトにおいて、図書、装置もしくは設計や V & V 活動の中で問題点が発見されたら、その問題点は、[原品] に対して報告され、改善アクションが実施される。

7.2. タスク繰返しの方針

(原子力) 側の概念定義フェーズにおいて、ERS に変更が生じた場合、[原シブ] 側は RTM を用いて変更評価を行い、変更によって影響を受ける V & V タスクを繰返すとともに、必要ならば RTM を変更する。

[原シブ] 側の V & V が完了したフェーズにおいて変更が生じた場合も、同様に [原シブ] 側は RTM を用いて変更評価を行い、変更によって影響を受ける V & V タスクを繰返すとともに、必要ならば RTM を変更する。

[原シブ] 側の設計図書が変更された場合は、独立したレビューがその図書に対して実施される。さらに、設計者は RTM を更新する。また RTM は独立したレビューを実施する。結果として、その更新された図書のフェーズにおける V & V 報告書も更新される。

各 RTM に対して、設計者は設計変更による影響がなくても RTM を再発行し、V & V メンバーは設計者が改善した内容を確認する。

7.3. V & V 計画の変更方針

(原子力) 側の V & V 計画書が更新された場合、V & V チームは次のアクションを行うものとする。

- 1) V & V チームは、更新された (原子力) 側 V & V 計画書に従い、本 V & V 計画書を更新し、(原子力) 側の承認を得るものとする。
- 2) V & V メンバーは、繰返される V & V 活動があれば、決定した変更点の影響を評価する。
- 3) V & V メンバーは、必要とされる V & V 活動を繰返すものとする。

また、[原シブ] 側において、本 V & V 計画書を変更する必要が生じた場合においても、上記と同様に (原子力) 側の承認を得るとともに、必要とされる V & V 活動を繰返すものとする。

7.4. 図書管理手順

[原シブ] 側の V & V 活動の結果として発行された図書は、[原シブ] 通達 D-67023「文書管理基準」に従い管理されるものとする。

7.5. 関連基準

本プロジェクトにおける関連基準は、2. 2項に示す[原シブ]通達である。

8. V & V図書への要求事項

8.1. 試験関連図書

本プロジェクトにおいて、[原シブ]側は、試験関連図書として以下を発行する。

- 1) ユニット／モジュール試験仕様書
- 2) ユニット／モジュール試験成績書
- 3) F P G A 試験仕様書
- 4) F P G A 試験成績書

8.2. メトリック

本FPGA型出力系モニタシステムを維持するため、[原I設]発行のソフトウェア品質保証計画書(SQAP: Software Quality Assurance Plan)に従い、各V&Vフェーズにおいて、それぞれ以下のようなメトリックを選定し、評価を行う。その結果は、各フェーズのV&V報告書に記載する。

- 本プロジェクトにおける図書の修正時に発生する変更点の数
- F P G A 試験およびユニット／モジュール試験の際に発見されたエラーの数(問題点連絡票の数)
- Nonconformance Notice Report (N N R)の数

変 更 記 録 REVISIONS									
変更記号 REV. MARK 変更発行日 REV. ISSUED	ページ PAGE	変 更 箇 所 ・ 変 更 内 容 CHANGED PLACE AND CONTENTS	承認 APPROVED BY	調査 CHECKED BY	担当 PREPARED BY	保管 REGISTERED			
① 05.11.14		初版発行			丹葉				
① 06.4.14	2 4 6 16 17	2. 関連図書 改訂 rev 修正 4.1 プロジェクト体制 組織体制変更に伴い、担当者変更 5. V&V プロセス (5)ユニット/モジュール Validation フェーズに V&V サマリレポート追加 5.5.5 上記に伴い、ユニット/モジュール Validation フェーズ V&V 報告書の発行を追加 5.5.6 V&V 最終報告書の発行を移行	西川 06-4-14	波連 06-4-14	丹葉 06-4-14				
② 06.11.24	1~2 3 6 7 16 17 18 20 21 22E	目次 項目追加 2.2 適用基準 (7) (8) 追加 4.4 V&V チーム メンバー担当内容 担当者役職変更 5. V&V プロセス 図 5.1 V&V プロセス 一部変更 5.5 ユニット/モジュール Validation フェーズ V&V インプット(4)ユニット/モジュール User Documentation 追加 5.5.2 図書レビュー (2)ユニット/モジュール User Documentation 項目追加 5.5.4 試験装置用ソフトウェアの評価 [原シブ] 通達番号変更 5.5.6 ユニット/モジュール V&V 最終報告書の発行 (6) 項削除 7.4 図書管理手順 [原シブ] 通達番号変更 8.2 メトリック 項目追加 本シート ページ変更 (20E→22E)	西川 06-11-24	波連 06-11-24	丹葉 06-11-24				
③ 07-3-22	3 5 21	2.1 上位図書 Rev 誤記訂正 4.1, 4.2 上位図書の Rev 削除 (2.1 項参照) 8.1 1)~4) の項目番号の呼称削除	波連 07-3-22	波連 07-3-22	船山 07-3-22				
配布先 DISTRIBUTION	部数 COPY		発行 ISSUED	承認 APPROVED BY	調査 CHECKED BY	担当 PREPARED BY	保管 REGISTERED		
			[原シブ] (原シM)	西川 05・11・14	波連 05・11・10	丹葉 05・11・10	F		

V & V 計 画 書

Verification and Validation Plan

To Toshiba Nuclear Energy Systems & Services Division
Ordered by : NRW-FPGA-Based PRM System Qualification Project
Manufacturing of Test Specimen and Connecting Cables

Job Number : 9R06487 JH 2114

November 2005

株式会社 **東芝**

Preface

This English translation of the Nuclear Instrumentation and Control Systems Department (NICSD) Verification and Validation (V&V) Plan for the Non-ReWritable (NRW) Field Programmable Gate Array (FPGA)-Based Power Range Monitoring (PRM) System was prepared for the NRC review of the PRM. NICSD used the original V&V Plan (in Japanese) in the V&V activities for the PRM.

Trademarks

Synplicity and Synplify are registered trademarks of Synplicity, Inc.
ModelSim is a trademark of Model Technology Incorporated.

Table of Contents

1. Purpose.....	3
2. Reference Documents	3
2.1. Upstream Documents	3
2.2. Applicable Standards.....	3
3. Definitions and Abbreviations	4
3.1. Definitions.....	4
3.2. Abbreviations	4
4. Verification and Validation Overview	6
4.1. Project Organization.....	6
4.2. Schedule	7
4.3. Software Integrity Level Scheme	7
4.4. V&V Team.....	7
4.5. Responsibilities	8
4.6. Tools.....	8
5. V&V Process.....	10
5.1. Preparation of V&V Plan	11
5.2. Requirements Definition Phase	11
5.2.1 Document Reviews	11
5.2.2 Requirements Definition Phase RTM efforts	12
5.2.3 Issuance of Requirements Definition Phase V&V Report.....	12
5.3. Design Phase	13
5.3.1 Document Reviews.....	13
5.3.2 RTM Efforts in the FPGA Design Phase.....	14
5.3.3 Issuance of the Design Phase V&V Report.....	15
5.4. Implementation Phase	15
5.4.1 Development of VHDL source code, Logic Synthesis, and Layout Verification	16
5.4.2 FPGA Testing	17
5.4.3 Document Reviews	17
5.4.4 Implementation Phase RTM Efforts.....	20
5.4.5 Assessment of Software Tools.....	20
5.4.6 Issuance of Implementation Phase V&V Report.....	20
5.5. Unit/Module Validation Phase	21

5.5.1	Unit/Module Validation Testing.....	22
5.5.2	Document Reviews.....	22
5.5.3	Unit/Module Validation Phase RTM Efforts.....	23
5.5.4	Assessment of Test Equipment Software	23
5.5.5	Issuance of Unit/Module Validation Phase V&V Report.....	23
5.5.6	Issuance of Unit/Module V&V Final Report.....	24
5.6.	V&V of FE.....	24
5.6.1	Check of Documentation.....	24
5.6.2	Check of FE Library Control and Software Tool Control	25
5.7.	Hardware V&V	25
5.8.	Configuration Management.....	25
6.	V&V Reporting	26
7.	V&V Management Requirements.....	26
7.1.	Problem Reporting and Corrective Action.....	26
7.2.	Task Iteration Policy	26
7.3.	Change Policy of V&V Plan	27
7.4.	Documents Control Procedure	27
7.5.	Relating Standards.....	27
8.	Requirements to V&V Documents.....	28
8.1.	Test Documentation	28
8.2.	Metrics.....	28

1. Purpose

This Verification and Validation (V&V) Plan is prepared for the Non Re-Writable (NRW) Field Programmable Gate Array (FPGA) Based PRM System Qualification Project, and aims to satisfy the V&V plan requirements specified in the Procurement Specification (PN-0020614) issued by the ICDD.

2. Reference Documents

2.1. Upstream Documents

- (1) ICDD Procurement Specification "Procurement Specification for Test Specimen Units, Interconnecting Cables"..... PN-0020614 Rev.2
- (2) ICDD Requirements Specification "Equipment Requirement Specification of FPGA-based Unit"..... FPG-RQS-C51-0001 Rev.6
- (3) ICDD Software Quality Assurance Plan "Software Quality Assurance Plan"..... FPG-PLN-C51-0002 Rev.2
- (4) ICDD V&V Plan "Verification and Validation Plan"FPG-PLN-C51-0006 Rev.3
- (5) NICSD Quality Plan "Project Quality Assurance Plan"5B8H6000 Rev.5
- (6) NICSD Overall Project Schedule CZ-05025 Rev.6

2.2. Applicable Standards

- (1) NICSD Procedural Standard for FPGA Products Development D-68016 Rev.3
- (2) NICSD Procedural Standard for FPGA Device DevelopmentD-68017 Rev.2
- (3) NICSD Procedural Standard for Functional Element DevelopmentD-68018 Rev.3
- (4) NICSD Procedural Standard for FPGA Configuration Management D-68019 Rev.2
- (5) NICSD Procedural Standard for Control of Software Tools Used with FPGA Based Systems D-68020 Rev.2
- (6) NICSD Procedural Standard for Operation for Problem Reporting Sheets .. D-67019 Rev.5
- (7) NICSD Procedural Standard for Software Media Registration and ChangeD-67003 Rev.9
- (8) NICSD Procedural Standard for Document Control D-67023 Rev.4

3. Definitions and Abbreviations

3.1. Definitions

(1) **Functional Element (FE):**

A Functional Element is a small logic circuit that shall be completely verified and validated through full pattern tests. An FE is written in Very High Speed Integrated Circuit Hardware Definition Language (VHDL). All VHDL source code for the NRW-FPGA-Based PRM System shall solely consists of FEs and interconnects between FEs.

(2) **module:**

A part of a unit. Modules have specific functions, for example, circuit board(s), AC-DC converter, connector assembly etc. See unit.

(3) **netlist:**

Description of logic generated by the logic synthesis tool. Design engineers describe FPGA logic in the form of VHDL source code. The logic synthesis tool generates logic from the VHDL source code, and outputs the result in the form of a netlist. The place and route tool determines the physical layout of internal circuits, when implementing into an FPGA. The result is called an FPGA fuse map.

(4) **unit:**

The NRW-FPGA-based PRM System consists of the LPRM units, the LPRM/APRM units, and the FLOW units. Each unit is a drawer type chassis which houses the individual modules.

(5) **validation:**

Confirmation by examination and provisions of objective evidence that the particular requirements for a specific intended use are fulfilled.

(6) **verification:**

Confirmation by examination and provision of objective evidence that specified requirements have been fulfilled.

3.2. Abbreviations

- (1) **FPGA:** Field Programmable Gate Array. FPGA-Based PRM System use non rewritable FPGA as key components to perform their functions.
- (2) **PRM:** Power Range Monitor. PRM monitors the reactor power in the power range using neutron flux values measured in the reactor core.
- (3) **RTM:** Requirements Traceability Matrix

(4) **VHDL**: Very High Speed Integrated Circuit Hardware Definition Language.

(5) **V&V**: Verification and Validation

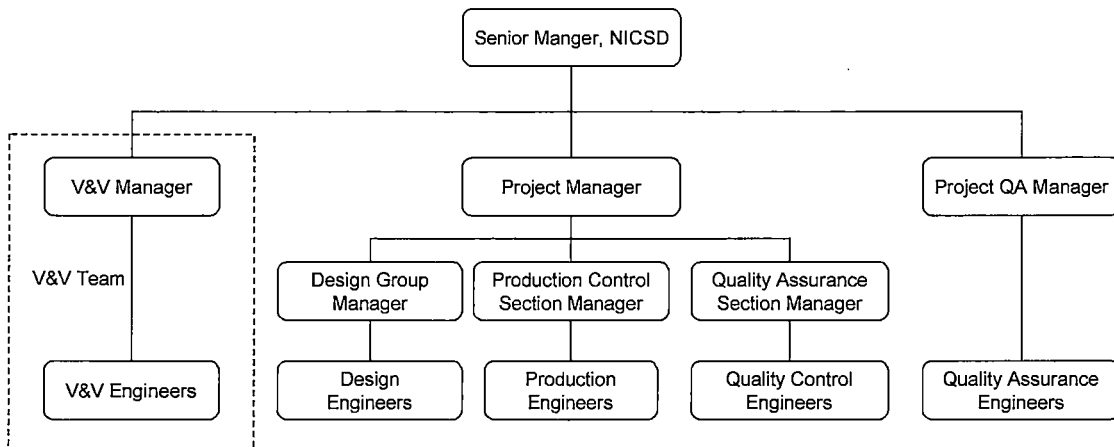
(6) **VVP**: Verification and Validation Plan

(7) **VVR**: Verification and Validation Report

4. Verification and Validation Overview

4.1. Project Organization

The organization for this FPGA-based Power Range Monitor (PRM) Qualification Project is shown in the following diagram and table, which are based on the Nuclear Instrumentation and Control Systems Department (NICSD) Quality Plan (5B8H6000).



Role	Organization	Assigned Person
Senior Manager	NICSD	h
Design Group Manger	NICSD Nuclear Instrument System Development & Designing Group	
Quality Assurance Section Manager	NICSD Quality Control Section	
Production Control Section Manager	NICSD Production Control Section	
Project Manager, responsible for design *1	NICSD	
Project QA Manager *2	NICSD concurrently serve as Quality Assurance Dept. Quality Control Group	
Project V&V Manager, Design Document Verifier	NICSD	

*1: responsible for interface with ICDD, *2: responsible for interface with NQAD

(1) Senior Manager

The Senior Manager (SM) determines the project planning and V&V planning by approving the contents of the Quality Plan and this V&V Plan, and delegates the SM's responsibilities to each assigned person. The SM controls the performance of the project, by joining the design review

¹ Translator's note: GPM Group Manager, M Manager, CS Chief Specialist, SS Senior Specialist

meeting held at each step, or by receiving reports.

(2) Project V&V Manager

The Project V&V Manager is assigned by the SM. The Project V&V Manager organizes a V&V team, which is independent of the design team, and performs V&V efforts with the V&V team.

(3) V&V Team and Members

The V&V team is independent of the design group, and is organized with members who have equivalent or higher degree of the competence than the design engineers.

4.2. Schedule

The schedule of the V&V shall follow the overall schedule (CZ-05025) issued by NICSD.

4.3. Software Integrity Level Scheme

Software Integrity Level (SIL) 4, the highest level, shall be applied to the FPGA logic for this FPGA-based PRM Qualification project according to the Software Quality Assurance Plan (FPG-PLN-C51-0002) issued by ICDD.

4.4. V&V Team

The V&V team members responsible for the V&V efforts of this project shall be independent of the design team, and have equivalent or higher degree of the competence than design engineers. The members are assigned by the SM, and responsible for the following roles.

Role	Organization	Assigned Person
V&V Manager • Review and Approve V&V documents • Review (Verification) FPGA design documents	NICSD	
V&V Senior Specialist • Review and Approve V&V documents • Review (Verification) FPGA design documents	NICSD Nuclear Instrumentation Systems Development & Designing Group	
V&V Senior Specialist • Prepare and Review V&V documents	NICSD Nuclear Instrumentation Systems Development & Designing Group	
V&V Specialist • Prepare and Review V&V documents	NICSD Nuclear Instrumentation Systems Development & Designing Group	

Role	Organization	Assigned Person
V&V Specialist • Prepare and Review V&V documents	NICSD Nuclear Instrumentation Systems Development & Designing Group	
V&V Engineer • Prepare V&V documents	NICSD Nuclear Instrumentation Systems Development & Designing Group	

The V&V documents include this V&V Plan, RTM reports, V&V (summary) reports for each phase, and the V&V final report. The design documents include the documents pertaining to FPGA design excluding hardware design and manufacturing documents.

4.5. Responsibilities

The V&V team shall be responsible to the following V&V activities:

- 1) Preparation of this V&V plan
- 2) Independent Review of design documents as reviewers
- 3) Review of RTMs (The RTM shall be based on the Concept Phase RTM received from NED)
- 4) Issuance of V&V reports at the end of each V&V phase

The V&V team shall submit the V&V plan and V&V reports to the NED V&V team without delay.

4.6. Tools

The following tools are used:

- (1) Logic Synthesis Tool (Synplify)

The Synplify tool synthesizes logic from VHDL source code and produces netlists. As by-products of logic synthesizing, Synplify performs a syntactic check of the VHDL source code and an adequacy check of the synthesized logic.

- (2) Netlist Viewer tool

The Netlist Viewer tool is used to ensure the connections of functional elements (FEs) in the VHDL visually.

- (3) Place and Route Tool (Designer)

The Place and Route tool determines the physical placement of internal circuits when implementing (logic) from netlists to FPGA. The result is called “fuse map.” The place and route tool produces delay data used in simulations while producing a fuse map.

- (4) VHDL Simulator (PinPort)

The VHDL Simulator is used to verify the VHDL source code dynamically. The simulator uses the delay data produced by the place and route tool.

(5) Embedding Tool (Silicon Sculptor)

The Embedding Tool is used to embed the place and route data into FPGA devices.

These tools shall be controlled in accordance with NICSD Procedural Standard D-68020 "Control of Software Tools Used with FPGA-Based System." If an additional tool, such as a newly developed or existing test equipment software, is used, it shall be used in accordance with the SQAP issued by ICDD (FPG-PLN-C51-0002), which includes configuration management requirements, and NICSD Procedural Standard D-68020. The following sections describe each V&V activity using these tools; the users' competence and training in using the tools shall be controlled in accordance with NICSD Procedural Standard D-68016 "FPGA Products Development."

5. V&V Process

Perform the V&V process, dividing into the following phases.

- (1) Preparation of the V&V Plan
- (2) Requirements Definition Phase
- (3) Design Phase
- (4) Implementation Phase
- (5) Unit/Module Validation Phase

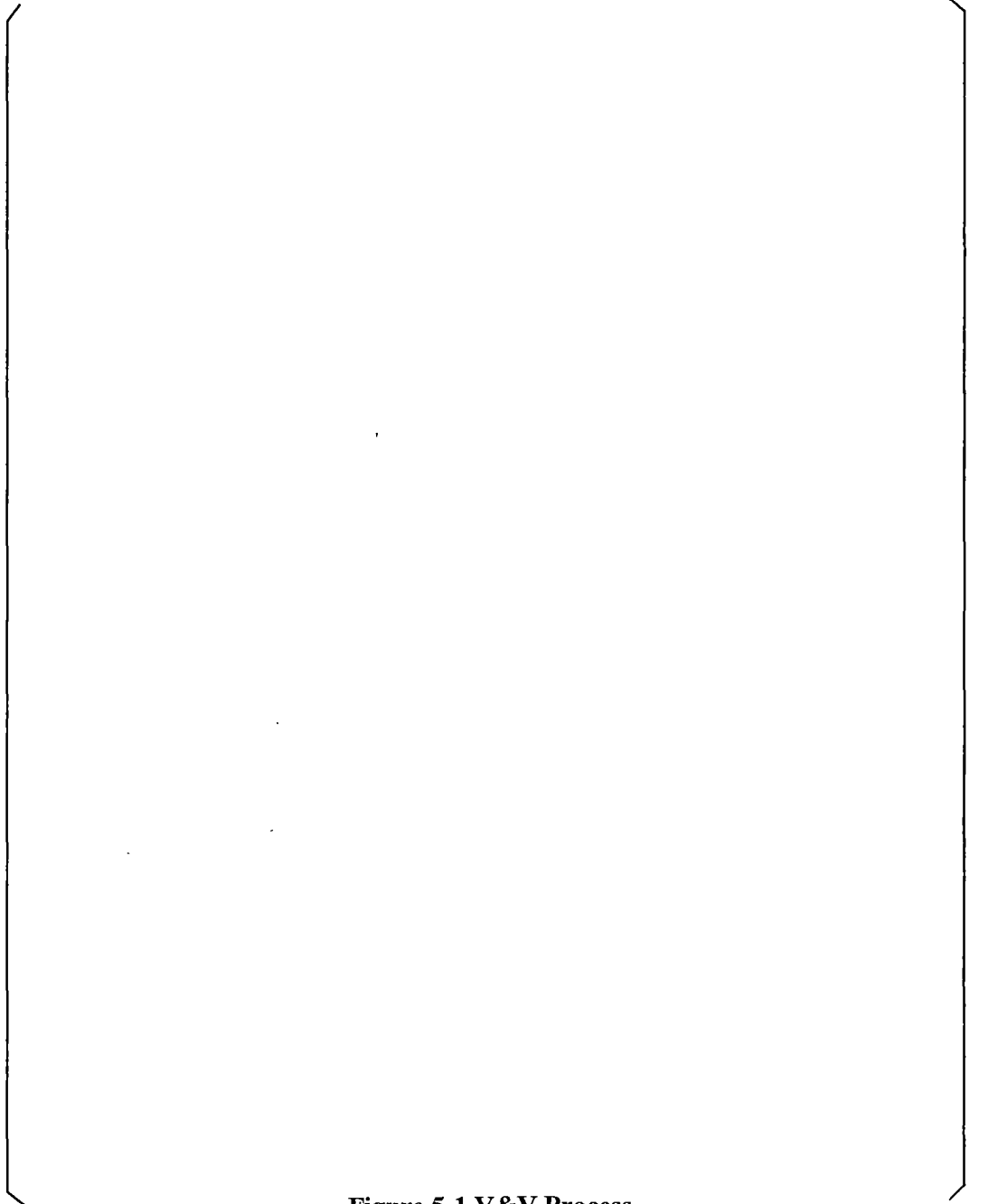


Figure 5-1 V&V Process

5.1. Preparation of V&V Plan

The V&V team shall prepare the V&V Plan (this document) in compliant with the NED V&V plan, and submits the plan to NED for approval.

5.2. Requirements Definition Phase

Perform the Requirements Definition Phase V&V activities.

V&V Inputs:

- (1) Equipment Requirements Specification (ERS) issued by ICDD (Base Document)
- (2) Project Planning and Concept Definition Phase RTM (Base Document)
- (3) Unit/Module design specifications (Review Document)

V&V Outputs

- (1) Document Review Reports
- (2) Requirements Definition Phase RTM
- (3) Requirements Definition Phase V&V Report

5.2.1. Document Reviews

The reviewers belong to the V&V team shall perform reviews of the documents listed in Table 5.2.1.

Table 5.2.1 Unit/Module Equipment Design Specifications

No.	Document Name	Document Number	Remark
1	LPRM Unit Equipment Design Specification	5G8HA748	HNU100
2	LPRM/APRM Unit Equipment Design Specification	5G8HA749	HNU200
3	FLOW Unit Equipment Design Specification	5G8HA750	HNU300
4	LPRM Module Equipment Design Specification	5G8HA751	HNS011
5	APRM Module Equipment Design Specification	5G8HA752	HNS020
6	SQROOT Module Equipment Design Specification	5G8HA753	HNS030
7	FLOW Module Equipment Design Specification	5G8HA754	HNS040
8	STATUS Module Equipment Design Specification	5G8HA755	HNS091/HNS093
9	BLANK Module Equipment Design Specification	5G8HA756	HNS490
10	LVPS Module Equipment Design Specification	5G8HA757	HNS500
11	AO Module Equipment Design Specification	5G8HA758	HNS511 - HNS514
12	DIO Module Equipment Design Specification	5G8HA759	HNS520
13	TRN Module Equipment Design Specification	5G8HA760	HNS530
14	RCV Module Equipment Design Specification	5G8HA761	HNS540

Review the software requirements in the Unit/Module design specifications for completeness, correctness, consistency, and accuracy. The points of review include that each requirement is stated

without ambiguity, is testable or observable, and whether the requirement specifies an acceptable value or a range of values. Functional requirements, interface requirements, and allocation of functions shall be reviewed.

The reviewer shall document the result of the review in accordance with NICSD Procedural Standard D-68016 “FPGA Products Development.”

5.2.2. Requirements Definition Phase RTM efforts

(1) Preparation of Requirements Definition Phase RTM

The design engineers shall prepare the Requirements Definition Phase RTM. The Requirements Definition Phase RTM traces the requirements in the Concept Definition Phase RTM to items of requirement specifications described in the Unit/Module design specifications.

The V&V team reviews the Requirements Definition Phase RTM, and verifies:

- 1) Each base requirement from the Concept Definition Phase, i.e., each requirement described in the ERS, corresponds to functional requirements described in the Unit/Module design specifications.
- 2) All requirements described in the Unit/Module design specifications are covered by the requirements from the Concept Definition Phase, and no new requirement is produced in the Unit/Module design specifications.

The result of the RTM review is documented by the V&V team.

If any open item or nonconformance is found in the RTM review, the V&V team issues an anomaly report to the design team, and requires a corrective action.

The V&V team shall report the open item and nonconformance to NED using the method specified by NED.

(2) Compilation of Requirements Definition Phase RTM Report

Compile the Requirements Definition Phase RTM report. The RTM report includes the prepared RTM, confirmation that each requirement is reflected in the Unit/Module design specifications, and any open items with their resolutions.

5.2.3. Issuance of Requirements Definition Phase V&V Report

The V&V Team shall issue a Requirements Definition Phase V&V report that includes the following contents:

1) Copy of or reference to document reviews

The reference to the document reviews is given as a table including the document name, the document number, the name of the reviewer, the preparation date, the review date, and the approval date of the reviewed documents.

2) Reference to the Requirements Definition Phase RTM

The reference to the Requirements Definition Phase RTM includes the document number, the preparation date, the review date, and the approval date of the Requirements Definition Phase RTM.

3) Any finding, recommendation, or suggestion considered to contribute to risk reduction in pursuance of the project

The issued V&V report is sent to the NED V&V team.

5.3. Design Phase

In the Design Phase, an FPGA design specification is prepared for each FPGA. Because FPGAs are independent from each other, most activities in the Design Phase and the Implementation Phase can be performed independently. The FPGA logic design is made using FEs and interconnecting FEs. The FEs used in the design shall be those which have been registered in the FE library through the life cycle activities defined in NICSD Procedural Standard D-68018 "FE Development Procedure."

V&V Inputs:

- (1) Unit/Module design specifications (Base Document)
- (2) Requirements Definition Phase RTM (Base Document)
- (3) FPGA design specifications (Review Document)

V&V Outputs

- (1) Document Review Reports
- (2) Design Phase RTM
- (3) Design Phase V&V Report

5.3.1. Document Reviews

The reviewers perform the following document reviews.

No.	Document Name	Document Number	Remark
1		5G8HA763	TRN Module
2		5G8HA764	TRN Module
3		5G8HA765	TRN Module
4		5G8HA766	RCV Module
5		5G8HA767	RCV Module
6		5G8HA768	STATUS Module
7		5G8HA769	APRM Module
8		5G8HA770	APRM Module

9		5G8HA771	APRM Module
10		5G8HA772	APRM Module
11		5G8HA773	APRM Module
12		5G8HA774	APRM Module
13		5G8HA775	APRM Module
14		5G8HA776	APRM Module
15		5G8HA777	APRM Module
16		5G8HA778	APRM Module
17		5G8HA779	APRM Module
18		5G8HA780	LPRM Module
19		5G8HA781	LPRM Module
20		5G8HA782	LPRM Module
21		5G8HA783	LPRM Module
22		5G8HA784	FLOW Module
23		5G8HA785	FLOW Module
24		5G8HA786	FLOW Module
25		5G8HA787	FLOW Module
26		5G8HA788	SQ-ROOT Module
27		5G8HA789	SQ-ROOT Module
28		5G8HA790	SQ-ROOT Module
29		5G8HA791	SQ-ROOT Module
30		5G8HA792	SQ-ROOT Module

Review the software design included in the FPGA design specifications for completeness, correctness, consistency, and accuracy. FPGA design shall satisfy the design rules described in Appendix A of NICSD Procedural Standard D-68017 “FPGA device development standard.” Special notices for reviews are that the FPGA logic shall be composed of the FEs which have been tested, and the FE interfaces shall be consistent with the descriptions in the FE specifications. Documents review shall confirm that the documents for the FEs in use have been already verified. The verifier shall document the result of the review in accordance with NICSD Procedural Standard D-68016 “FPGA product development standard.”

5.3.2. FPGA Design Phase RTM Efforts

(1) Preparation of RTM in the FPGA Design Phase

The design engineers prepare the Design Phase RTM to trace the design specifications described in the FPGA design specifications against the Requirements Definition Phase RTM.

The V&V team reviews the RTM prepared by the design engineers, and verifies the followings:

- 1) Base requirements are traced from the Requirements Definition Phase to each FPGA design specification. That is, the FPGA specification described in each FPGA design specification reflects the functional and interface requirements described in the Module

² Translator's Note: TPM stands for Thermal Power Monitor, meaning Simulated Thermal Power Monitor.

Design Specifications. In addition, the requirement for the software integrity level (SIL) from the Requirements Definition Phase is reflected in the FPGA design specifications.

- 2) Requirements can be traced back from the FPGA design specifications to the Requirements Definition Phase.

The result of the RTM review is documented by the V&V team.

If any open item or nonconformance is found in the RTM review, the V&V team issues an anomaly report to the design team, and require a corrective action.

The V&V team shall report the open items and nonconformances to NED using the method specified by NED.

(2) Compilation of the FPGA Design Phase RTM report

Compile the RTM report for the FPGA Design Phase. The RTM report includes the RTM, and describes how each requirement is reflected in the FPGA design specification.

5.3.3. Issuance of Design Phase V&V Report

The V&V team issues a Design Phase V&V report, which includes:

- 1) Copy of or reference to document reviews

The reference to the document reviews is given as a table including the document name, the document number, the reviewer, the preparation date, the review date, and the approval date of the reviewed documents.

- 2) Reference to the Design Phase RTM

The reference to the Design Phase RTM includes the document number, the preparation date, the review date, and the approval date of the Design Phase RTM.

- 3) References to FE documents result of FE library and software tools controls

The references are given as the result of the FE document reviews, and the result of the library and software tools controls as described in Section 5.6.

- 4) Any finding, recommendation, or suggestion considered to contribute to risk reduction in pursuance of the project

The issued V&V report is sent to the NED V&V team.

5.4. Implementation Phase

The development activities in the Implementation Phase are performed in the following steps:

Step (1): VHDL Source Coding

Step (2): FPGA Implementation

Step (3): FPGA Validation

In Step (1), VHDL source code is prepared in accordance with NICSD Procedural Standard 68017

“FPGA Device Development Standard,” to implement the functional requirements from the software design documents (FPGA design specifications). Verified FEs are used in the coding.

In Step (2), the VHDL source code is synthesized using the logic synthesizing tool (Synplify). The synthesized source code is converted into a fuse map using the place and route tool (Designer), and embedded in the FPGA using the burn tool (Silicon Sculptor). Test vectors and FPGA test procedures shall be prepared in this step in accordance with NICSD Procedural Standard 68017 “FPGA device development standard.”

In Step (3), the FPGA embedded with the above fuse map is tested using the VHDL simulator (ModelSim) and the FPGA test tool (PinPort). The ModelSim tool generates inputs to the FPGA based on the test vectors that are prepared in prior to the testing.

V&V Inputs:

- (1) FPGA Design Specifications (Base Document)
- (2) Design Phase RTM (Base Document)
- (3) FPGA Test Procedures (Review Document)
- (4) FPGA Test Reports (Review Document)
- (5) Unit/Module Test Procedures (Review Document)

V&V Outputs

- (1) Document Review Reports
- (2) Implementation Phase RTM
- (3) Implementation Phase V&V Report

5.4.1. Development of VHDL source code, Logic Synthesis, and Layout Verification

The VHDL code is developed in accordance with the design rules in NICSD Procedural Standard D-68017 “FPGA Device Development Standard,” and its logic is composed of FEs.

The developed VHDL source code is converted into netlists by the logic synthesis tool (Synplify), and retained as EDIF³ files. The netlists can be expressed as logic diagrams by the netlist viewer tool. The design engineers compare the VHDL source code and the logic diagrams, and confirm that (the VHDL source code) is correctly converted. In the comparison, the design engineers check the connections between (logic) blocks and the interface of FEs. Each FE is expressed as an elementary logic block on the logic diagrams.

The V&V team performs the following verification:

- 1) Check the message files produced by the logic synthesis tool (Synplify) and the place and route tool (Designer), and confirm that the logic synthesis and lay outing have been

³ *Translator’s Note: EDIF Electronic Design Interchange Format*

executed normally by examining the tool option setting and tool warning messages.

- 2) Review the results of comparison between the logic diagrams and VHDL files.

Document the result of verification 1) and 2), writing the methods clearly.

5.4.2. FPGA Testing

The FPGA testing is performed in accordance with NICSD Procedural Standard D-68016 "FPGA Product Development Procedure." The FPGA test procedures are prepared by the FPGA test procedure preparers, who are selected from others than those who have contributed to the FPGA product design. The FPGA test procedures shall include the following contents:

- 1) Test items
- 2) Pass/Fail criterion for each test item
- 3) Test set-up
- 4) Test environment

The FPGA testing shall toggle (On/Off) 100 % of the connections between active FEs. Whether the coverage of toggle testing achieves 100% is measured using the ModelSim tool. The design engineers determine whether each connection is active or inactive, i.e., it is connected to the ground or power line or not.

The FPGA tester(s), who are selected from others than the design engineers of the FPGA to be tested, perform the FPGA testing using the above FPGA test procedures. The FPGA tester(s) prepare a test report for each FPGA; prepare Problem Reporting Sheets in accordance with NICSD Procedural Standard D-67019 "Operation for Problem Reporting Sheets." The sheets are used to document the defects, nonconformances of the product and configuration, errors in the test procedures. A Problem Reporting Sheet is resolved by corrections of the design document or logic, changes of the test procedure as necessary, revising of the documents from those before changes, source code, or product, and necessary reviews. The specifications of re-testing required by those changes are documented; the re-testing is performed; and the Problem Reporting Sheet is resolved.

5.4.3. Document Reviews

The reviewers review the following documents.

- (1) FPGA Test Procedure

The reviewers review each FPGA test procedure below.

No.	Document Name	Document Number	Remark
1		8T8H3379	TRN Module

a,c

2	8T8H3380	TRN Module
3	8T8H3381	TRN Module
4	8T8H3382	RCV Module
5	8T8H3383	RCV Module
6	8T8H3384	STATUS Module
7	8T8H3385	APRM Module
8	8T8H3386	APRM Module
9	8T8H3387	APRM Module
10	8T8H3388	APRM Module
11	8T8H3389	APRM Module
12	8T8H3390	APRM Module
13	8T8H3391	APRM Module
14	8T8H3392	APRM Module
15	8T8H3393	APRM Module
16	8T8H3394	APRM Module
17	8T8H3395	APRM Module
18	8T8H3396	LPRM Module
19	8T8H3397	LPRM Module
20	8T8H3398	LPRM Module
21	8T8H3399	LPRM Module
22	8T8H3400	FLOW Module
23	8T8H3401	FLOW Module
24	8T8H3402	FLOW Module
25	8T8H3403	FLOW Module
26	8T8H3404	SQ-ROOT Module
27	8T8H3405	SQ-ROOT Module
28	8T8H3406	SQ-ROOT Module
29	8T8H3407	SQ-ROOT Module
30	8T8H3408	SQ-ROOT Module

Review the test procedures for completeness (whether the test items cover all requirements), correctness (whether the methods of testing and the pass/fail criteria are correct), consistency (whether inconsistency exists in the testing), and accuracy (whether sufficient accuracy is obtained for the target testing).

The reviewers shall document the result of the reviews in accordance with NICSD Procedural Standard D-68016 "FPGA Product Development Standard."

(2) FPGA Test Reports

The reviewer reviews each FPGA test reports below.

No.	Document Name	Document Number	Remark
1		9H8H0280	TRN Module
2		9H8H0281	TRN Module
3		9H8H0282	TRN Module
4		9H8H0283	RCV Module
5		9H8H0284	RCV Module
6		9H8H0285	STATUS Module
7		9H8H0286	APRM Module
8		9H8H0287	APRM Module
9		9H8H0288	APRM Module
10		9H8H0289	APRM Module
11		9H8H0290	APRM Module
12		9H8H0291	APRM Module
13		9H8H0292	APRM Module
14		9H8H0293	APRM Module
15		9H8H0294	APRM Module
16		9H8H0295	APRM Module
17		9H8H0296	APRM Module
18		9H8H0297	LPRM Module
19		9H8H0298	LPRM Module
20		9H8H0299	LPRM Module
21		9H8H0300	LPRM Module
22		9H8H0301	FLOW Module
23		9H8H0302	FLOW Module
24		9H8H0303	FLOW Module
25		9H8H0304	FLOW Module
26		9H8H0305	SQ-ROOT Module
27		9H8H0306	SQ-ROOT Module
28		9H8H0307	SQ-ROOT Module
29		9H8H0308	SQ-ROOT Module
30		9H8H0309	SQ-ROOT Module

The review verifies the followings.

- 1) Each test has been performed in accordance with the method described in the test procedure.

- 2) All test items in the test procedures have been performed without omission.
- 3) Pass or fail has been determined in accordance with the pass/fail criteria described in the test procedures.
- 4) Problem Reporting Sheets for any finding including product nonconformance have been confirmed.
- 5) The result of testing is acceptable.

(3) FPGA Software Baseline

After the FPGA testing has been completed, a software baseline is established. At this point, electric files relating to the FPGA logic are stored; the design engineers prepare an FPGA control sheet identifying the function, changes, and revision number of the FPGA for each FPGA logic. The V&V team checks the FPGA control sheet, and confirm that the required items by NICSD Procedural Standard D-68019 “FPGA Configuration Management Standard” are established as a baseline.

5.4.4. Implementation Phase RTM Efforts

(1) Preparation of Implementation Phase RTM

The design engineers prepare the Implementation Phase RTM to trace the FPGA test procedures against the RTM in the prior step.

The V&V team reviews the RTM prepared by the design team, and verifies the followings:

- 1) The base requirements are traced to FPGAs. That is, all requirements in the Design Phase are reflected in the FPGA test items.
- 2) Requirements can be traced from the FPGA test procedures to the Design Phase.

(2) Compilation of the FPGA Implementation Phase RTM

The RTM report in the Implementation Phase includes the RTM, and describes the reflection of each requirement in the FPGA test procedures, any open item, and nonconformances.

5.4.5. Assessment of Software Tools

The V&V Team confirms the software tools, which the design team uses in their design work, are controlled in accordance with NICSD Procedural Standard D-68019” FPGA Configuration Management Standard.”

5.4.6. Issuance of Implementation Phase V&V Report

The V&V team issues the Implementation Phase V&V report including the followings:

- 1) Copy of or reference to source code review

The reference to the source code reviews is given as a table including the document name, the document number, the reviewer, the preparation date, the review date, and the approval

date of the reviewed documents.

2) Copy of or reference to document review

The reference to the document reviews is given as a table including the document name, the document number, the reviewer, the preparation date, the review date, and the approval date of the reviewed documents. Any Problem Reporting Sheet confirmed in the review of the FPGA test reports shall be a V&V record, and be included in the V&V report.

3) Copy of or reference to the result of software tool message check

The reference to the result of the software tool message check is a description of the document number, the preparation date, the review date, and the approval date of the software tool message check results.

4) Copy of or reference to the result of logic diagram check

The reference to the result of the logic diagram check is a description of the document number, the preparation date, the review date, and the approval date of the logic diagram check results.

5) Reference to the Implementation Phase RTM

The reference to the Implementation Phase RTM is a description of the document number, the preparation date, the review date, and the approval date of the Implementation Phase RTM.

6) Any finding, recommendation, or suggestion considered to contribute to risk reduction in pursuance of the project

The issued V&V report is sent to the NED V&V team.

5.5. Unit/Module Validation Phase

The V&V activities in the Unit/Module Validation Phase are described in the followings:

V&V Inputs:

- (1) Requirements Definition Phase RTM (Base Document)
- (2) Module Validation test procedures (Review Document)
- (3) Unit Validation test procedures (Review Document)
- (4) Unit/Module User Documentation (Review Document)

V&V Outputs

- (1) Document Review Reports
- (2) Unit/Module Validation Phase RTM
- (3) Unit/Module Validation V&V Report

5.5.1. Unit/Module Validation Testing

The Unit/Module test procedure preparers, who are selected from other than the design engineers, prepare the Unit/Module test procedures. These procedures include the unit design specifications, integration of the units from modules, and test criteria. In addition, the Unit test procedures include the following contents:

- 1) Test items (response time test, accuracy test, parameters test, out-of-range test)
- 2) Pass/Fail criterion for each test item
- 3) Test set-up
- 4) Test environment

The testers, who are selected from other than the design team, perform the testing using the above Unit/Module test procedures. The testers prepare a test report for each unit or module.

5.5.2. Document Reviews

(1) Unit/Module Test Procedure

The reviewers review each Unit/Module test procedure prepared by the Unit/Module test procedure preparers.

No.	Document Name	Document Number	Remark
1	LPRM Unit Test Procedure	5T8H6724	HNU100
2	LPRM/APRM Unit Test Procedure	5T8H6725	HNU200
3	FLOW Unit Test Procedure	5T8H6726	HNU300
4	LPRM Module Test Procedure	5T8H6727	HNS011
5	APRM Module Test Procedure	5T8H6728	HNS020
6	SQROOT Module Test Procedure	5T8H6729	HNS030
7	FLOW Module Test Procedure	5T8H6730	HNS040
8	STATUS Module Test Procedure	5T8H6731	HNS091/093
9	BLANK Module Test Procedure	5T8H6732	HNS490
10	LVPS Module Test Procedure	5T8H6733	HNS500
11	AO Module Test Procedure	5T8H6734	HNS511/512/513/514
12	DIO Module Test Procedure	5T8H6735	HNS520
13	TRN Module Test Procedure	5T8H6736	HNS530
14	RCV Module Test Procedure	5T8H6737	HNS540

Review the test procedures for completeness (whether the test items cover all requirements), correctness (whether the methods of testing and the pass/fail criteria are correct), consistency (whether inconsistency exists in the testing), and accuracy (whether sufficient accuracy is obtained for the target testing).

The reviewers shall document the result of the reviews in accordance with NICSD Procedural Standard D-68016 “FPGA Product Development Standard.”

(2) Unit/Module User Documentation

The Unit/Module equipment design specifications in Table 5.2.1, which Toshiba will provide for end users, substitute the Unit/Module user documentation, and shall be reviewed by the reviewers.

5.5.3. Unit/Module Validation Phase RTM Efforts

(1) Preparation of Unit/Module Validation Phase RTM

The design engineers perform RTM efforts that trace the Unit/Module test procedures against the Unit/Module design specifications.

The V&V team reviews the RTM prepared by the design team, and verifies the followings:

- 1) The base requirements are traced to the Unit/Module test procedure. That is, all requirements in the Unit/Module design specifications are reflected in the Unit/Module test procedures.
- 2) Requirements can be traced from the Unit/Module test procedures to the Unit/Module design specifications.

The Unit/Module Validation Phase RTM efforts trace the requirements from the Requirements Definition Phase RTM, and report any open item found in this RTM efforts.

The design team needs to resolve those open items, and close them before the completion of the Unit/Module validation testing.

(2) Compilation of the Unit/Module Validation Phase RTM

The V&V team describes that every requirement has been reflected in the Unit/Module test procedures, and all open items have been closed in the RTM report.

5.5.4. Assessment of Test Equipment Software

The V&V team confirms that the test equipment software used in the Unit/Module validation testing is controlled in accordance with NICSD Procedural Standard D-67003 “Software Media Registration and Change Standard.”

5.5.5. Issuance of Unit/Module Validation Phase V&V Report

The V&V team issues the Unit/Module Validation Phase V&V report including the followings:

- 1) Copy of or reference to document review

The reference to the document reviews is given as a table including the document name, the document number, the reviewer, the preparation date, the review date, and the approval date of the reviewed documents. Any Problem Reporting Sheet confirmed in the review of the FPGA test reports shall be a V&V record, and be included in the V&V report.
- 2) Reference to the Unit/Module Validation Phase RTM

The reference to the Unit/Module Validation RTM is a description of the document number, the preparation date, the review date, and the approval date of the Unit/Module Validation

RTM.

- 3) Any Finding, recommendation, or suggestion considered to contribute to risk reduction in pursuance of the project

The issued V&V report is sent to the NED V&V team.

5.5.6. Issuance of Unit/Module V&V Final Report

The V&V team issues a V&V final report after the completion of the Unit/Module testing. The report includes the following contents:

- (1) Description of how the V&V activities were completed
- (2) Description of how the life cycle requirements and system requirements were realized
- (3) Copy of and reference to the V&V reports issued from the Requirements Definition Phase through Unit/Module Validation Phase
- (4) Result of independent reviews of the hardware design, and a reference to it,
The V&V team shall confirm that independent reviews have been performed for the hardware design documents, and include the result in the V&V report.
- (5) Result of confirmation of the Unit/Module Validation testing records including the configuration of testers.

For the Unit/Module test reports, the following items(facts) are confirmed:

- 1) Tests have been performed in accordance with the methods described in the test procedures.
- 2) All test items described in the test procedures have been performed without omission.
- 3) Pass or fail have been determined in accordance with the pass/fail criteria described in the test procedures.
- 4) Problem Reporting Sheets for any findings including product nonconformances. (Any confirmed Problem Reporting Sheet shall be included in the V&V report.)
- 5) The result of testing is acceptable.

5.6. V&V of FE

For the FEs used in the PRM system, V&V activities have been performed in accordance with NICSD Procedural Standard D-68018 "FE Development Standard."

The V&V activities in this project shall include the followings.

5.6.1. Check of Documentation

The V&V team checks the following documents that ensure application of NICSD Procedural Standard D-68018 "FE Development Standard" to the FE library.

- FE Requirements Specifications
- FE Specifications

- RTMs between the FE Requirements Specifications and the FE Specifications
- FE test procedures
- RTMs between the FE Specifications and the FE test procedures
- FE test reports

The V&V team confirms that full pattern testing has been performed (for FEs) in the check. The result of check shall be documented in the Design Phase V&V report.

5.6.2. Check of FE Library Control and Software Tool Control

The V&V team checks that the following control activities have been performed.

- FE Library control in accordance with NICSD Procedural Control D-68019 “FPGA Configuration Management Standard”
- Software Tool Control in accordance with NICSD Procedural Control D-68020 “Control of Software Tools Used ”

The result of check shall be documented in the Design Phase V&V report.

5.7. Hardware V&V

The V&V team performs independent reviews of the Unit/Module hardware design in accordance with NICSD Procedural Standard D-68016 “FPGA Product Development Standard.” The result of the reviews shall be described and reported in the Design Phase V&V report.

5.8. Configuration Management

The Master Configuration List (MCL) for this project is prepared based on the ICDD MCL (FPG-CFM-C51-0001) in accordance with NICSD Procedural Standard D-68019 “FPGA Configuration Management Standard.” The V&V team performs V&V activities on this MCL as part of the V&V efforts. That is, the V&V team confirms that the status of each configuration item is reflected and updated in the MCL at the end of each phase (Project Planning, Requirements Definition, Design, Implementation, and Verification). The result of confirmation shall be described and reported as part of the V&V report prepared in each phase.

6. V&V Reporting

The V&V reports being issued include the following contents:

- **Problem Reporting Sheet**
Problem Reporting Sheets are used to document any defects, nonconformances in the product or configuration, and errors in the test procedures in accordance with NICSD Procedural Standard D-67019 “Operation for Problem Reporting Sheets.”
- **Nonconformance Notice Report**
Nonconformance Notice Reports are issued if a problem is found in a document, equipment, or its operation, for which V&V activities have been completed.
- **RTM Report**
RTM reports are prepared for the current phase documents tracing the requirements in the previous phase.
- **Phase V&V Reports**
A phase V&V report is prepared at the end of each phase. The report includes the result of document reviews, the copies of or reference to any Problem Reporting Sheet, Nonconformance Notice Report, and RTM report.

7. V&V Management Requirements

7.1. Problem Reporting and Corrective Action

If any problem is found in the documentation, the equipment, or in the design and V&V activities, the problem is reported to NQAD, and necessary corrective action is taken.

7.2. Task Iteration Policy

If the ERS is changed in the Concept Definition Phase, for which NED is responsible, NICSD performs a change assessment using the RTM, iterates the affected V&V tasks, and revises the RTM if necessary.

Similarly, if a change is made in a phase, for which NICSD is responsible and has completed the V&V activities, NICSD performs a change assessment using the RTM, iterates the affected V&V tasks, and revises the RTM if necessary.

If a change is made in an NICSD document, an independent review for the document is performed. The design engineer revises the RTM. The RTM is subjected to an independent review. As a result, the RTM report for the phase, to which the changed document belongs, is revised.

For each RTM, the design engineer re-issues the RTMs regardless of any change impact; a member

of V&V confirms the refinement made by the design engineers.

7.3. Change Policy of V&V Plan

If NED V&V plan is revised, the V&V team shall take the following actions:

- 1) The V&V team shall revise this V&V plan in consistent with the revised NED V&V plan, and get approval of NED.
- 2) A member of V&V assesses the impact of the determined changes, if any V&V activity is iterated.
- 3) A member of V&V shall iterate the V&V activities necessary.

Similarly, in NICSD, if this V&V plan needs to be revised, NICSD gets approval of NED like above-mentioned case, and iterates the necessary V&V activities.

7.4. Documents Control Procedure

Any documents issued as a result of the NICSD V&V activities shall be controlled in accordance with NICSD Procedural Standard D-67023 “Document Control Standard.”

7.5. Relating Standards

The relating standards to this project are NICSD procedural standards referenced in Section 2.2.

8. Requirements to V&V Documentation

8.1. Test Documentation

NICSD issues the following test documents for this project:

- 1) Unit/Module test procedures
- 2) Unit/Module test reports
- 3) FPGA test procedures
- 4) FPGA test reports

8.2. Metrics

The following metrics are selected and evaluated at each V&V phase to maintain the FPGA-based PRM system in accordance with NED Software Quality Assurance Plan (SQAP). The result is described in each phase V&V report:

- The number of changes made in each revision of the project document,
- The number of errors (or Problem Reporting Sheets) in the FPGA testing and Unit/Module testing, and
- The number of Nonconformance Notice Report (NNR).

TOSHIBA

変 更 記 録 REVISIONS						
変更記号 REV. MARK 変更発行日 REV. ISSUED	ページ PAGE	変 更 箇 所 ・ 変 更 内 容 CHANGED PLACE AND CONTENTS	承認 APPROVED BY	調 査 CHECKED BY	担 当 PREPARED BY	保 管 REGISTERED
○ 05. 11. 14		初版発行			丹葉	
① 06. 4. 14	2 4 6 16 17	2. 関連図書 改訂 rev 修正 4. 1 プロジェクト体制 組織体制変更に伴い、 担当者変更 5. V&V プロセス (5)ユニット/モジュール Validation フェーズに V&V サマリレポート追加 5. 5. 5 上記に伴い、ユニット/モジュール Validation フェーズ V&V 報告書の発行を追加 5. 5. 6 V&V 最終報告書の発行を移行	西川 06-4-14	波連 06-4-14	丹葉 06-4-14	
② 06. 11. 24	1~2 3 6 7 16 17 18 20 21 22E	目次 項目追加 2. 2 適用基準 (7) (8) 追加 4. 4 V & V チーム メンバー担当内容 担当 者役職変更 5. V & V プロセス 図 5. 1 V&V プロセス 一部変 更 5. 5 ユニット/モジュール Validation フェーズ V&V イン フット(4)ユニット/モジュール User Documentation 追 加 5. 5. 2 図書レビュー (2)ユニット/モジュール User Documentation 項目追 加 5. 5. 4 試験装置用ソフトウェアの評価 [原シブ] 通達番号変更 5. 5. 6 ユニット/モジュール V&V 最終報告書の発行 (6) 項削除 7. 4 図書管理手順 [原シブ] 通達番号変更 8. 2 メトリック 項目追加 本シート ページ変更 (20E→22E)	西川 06-11-24	波連 06-11-24	丹葉 06-11-24	
③	3 5 21	2. 1 上位図書 Rev 誤記訂正 4. 1, 4. 2 上位図書の Rev 削除 (2. 1 項参照) 8. 1 1) ~4) の項目番号の呼称削除	波連 07-3-22	波連 07-3-22	船山 07-3-22	
配布先 DISTRIBUTION	部数 COPY		発行 ISSUED	承認 APPROVED BY	西川 05・11・14	
			[原シブ] (原シM)	調 査 CHECKED BY	波連 05・11・10	
				担 当 PREPARED BY	丹葉 05・11・10	
				F	保管 REGISTERED	